



(19)

(11) Publication number:

09097885 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 07251611

(51) Intl. Cl.: H01L 27/118 H01L 21/82 H01L 27/04
H01L 21/822

(22) Application date: 28.09.95

(30) Priority:

(43) Date of application
publication: 08.04.97

(84) Designated
contracting states:

(71) Applicant: DENSO CORP

(72) Inventor: OSADA TAKESHI
UESUGI HIROSHI
TANAKA HIROAKI

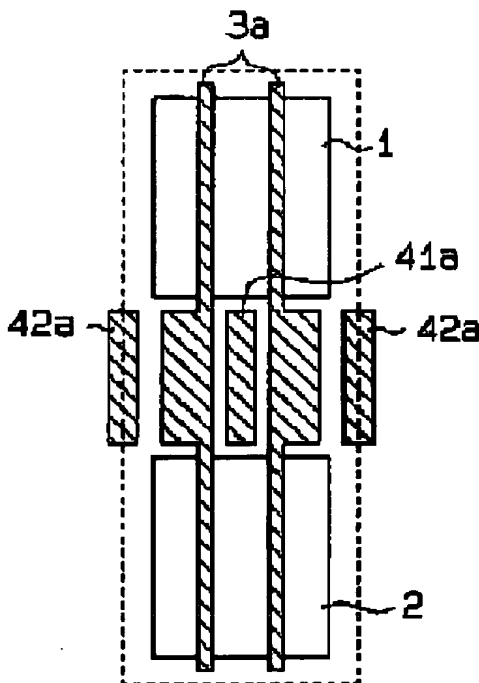
(74) Representative:

(54) GATE ARRAY

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a gate array basic cell with which a wiring operation can be conducted in a micro-cell with the first metal wiring only without having deterioration in efficiency and the increase in cell size, etc.

SOLUTION: Normally a p-MOS region 1, on which two FETs are series-connected on a substrate, and a p-MOS region 2, on which two FETs are series-connected on the substrate, are oppositely arranged in parallel with each other on a gate array basic cell, and at the same time, a gate electrode 3a, which is used in common with the p-MOS region 1 and the n-MOS region, is formed corresponding to each FET. In this case, the first auxiliary wiring 41a, consisting of the layer same as the gate electrode 3a and arranged between the gate electrodes 3a, and the second auxiliary wiring 42a, consisting of the layer same as the gate electrodes 3a and arranged between each basic cell, are provided, and the wiring in a macro-cell is completed in a two-dimensional state, namely, by the first layer metal wiring only through the above-mentioned two kinds of auxiliary wirings 41a and 42a.



COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-97885

(43) 公開日 平成9年(1997)4月8日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/118			H 0 1 L 21/82	M C1-4, F1
21/82				W C1-4, F1
27/04		27/04		D
21/822				

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平7-251611

(22) 出願日 平成7年(1995)9月28日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 長田 岳史

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72) 発明者 上杉 浩

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72) 発明者 田中 裕章

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

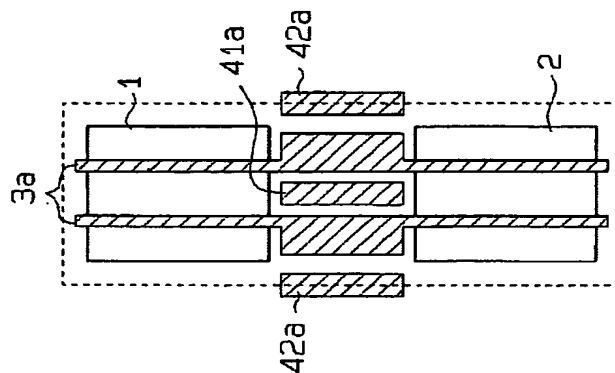
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 ゲートアレイ

(57) 【要約】

【課題】 第1層金属配線のみでマクロセル内の配線を行うことができ、性能の劣化やセルサイズの増大等も招かないゲートアレイ基本セルを提供する。

【解決手段】 ゲートアレイ基本セルは通常、基板上に2個のFETが直列に接続されたpMOS領域1と同じく2個のFETが直列に接続されたnMOS領域2とが平行に対向して配列されるとともに、これらpMOS領域1及びnMOS領域2に共通のゲート電極3aが上記各FETに対応して形成されている。ここでは、ゲート電極3aと同一層からなってそれら各ゲート電極3a間に配設された第1の補助配線41aと同じくゲート電極3aと同一層からなって各基本セル間に配設された第2の補助配線42aとを設け、これら2種類の補助配線41a及び42aを通じてマクロセル内の配線が2次元的に、すなわち第1層金属配線のみで完結されるようにしている。



【特許請求の範囲】

【請求項 1】 基板上に複数のトランジスタが直列に接続された第 1 導電型の第 1 の素子領域と同じく複数のトランジスタが直列に接続された第 2 導電型の第 2 の素子領域とが平行に対向して配列され、これら第 1 及び第 2 の素子領域に共通のゲート電極が前記各トランジスタの数だけ形成されて基本セルが構成されるゲートアレイにおいて、

前記基本セルは、

前記ゲート電極と同一層からなってそれら各ゲート電極間に配設された第 1 の補助配線と、

前記ゲート電極と同一層からなって各基本セル間に配設された第 2 の補助配線と、

を具えることを特徴とするゲートアレイ。

【請求項 2】 請求項 1 記載のゲートアレイにおいて、各基本セルに対する給電線として前記ゲート電極と直角に敷設される電源配線を更に具え、

前記第 2 の補助配線は、前記第 1 及び第 2 の素子領域の各対向する辺から前記ゲート電極と直角に引き出される金属配線に交差する長さをその配線長の下限とし、前記電源配線に接しない長さをその配線長の上限とすることを特徴とするゲートアレイ。

【請求項 3】 請求項 2 記載のゲートアレイにおいて、前記電源配線は第 1 層金属配線として敷設され、前記基本セルは、前記第 2 の補助配線の延長線と前記電源配線とが交差する部分に、当該基板電位を固定するためのバイアス領域を更に具えることを特徴とするゲートアレイ。

【請求項 4】 前記各ゲート電極は、前記第 1 及び第 2 の素子領域において近接し、前記第 1 及び第 2 の素子領域の相対する中間部において離間する非直線形状を有し、前記第 1 の補助配線は、前記各ゲート電極が離間する前記第 1 及び第 2 の素子領域の中間部に配設される請求項 1 または 2 または 3 記載のゲートアレイ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は、ゲートアレイに関し、特に、ゲートアレイを構成する基本セルのサイズを増加させることなくその配線効率を向上させるためのゲートアレイ基本セル構造の改良に関する。

【0002】

【従来の技術】 ゲートアレイとは周知のように、LSI 内に、チップの品種設計とは独立して予め基本となるセル（基本セル）を規則的に並べておき、品種設計時に配線工程のみを設計することで、各種要求に応じた機能回路が実現されるようにしたセミカスタム半導体集積回路装置である。

【0003】 したがって、このようなゲートアレイにとっては、配線効率が高く、上記品種設計時における配線工程設計をより柔軟、且つ容易に行うことのできる基本

セル構造を有していることが、その品質或いは付加価値を高める上で重要な要素となっている。

【0004】 ここに従来、それら基本セルを構成する各トランジスタのゲート電極と同一層からなる補助配線を基本セルに付加しておくことによって、ゲートアレイとしての配線効率の向上を図ろうとする基本セル構造がいくつか提案されている。

【0005】 例えば、図 9 に示す第 1 の例では、p チャネル MOS トランジスタ (pMOS) 1 及び n チャネル MOS トランジスタ (nMOS) 2 のゲート電極 31、32、33、及び 34 を同図に示される如く、その中央部から反対方向にずれた位置で分割し、それら分割したゲート電極の中央部に補助配線 8 を設けている。このような基本セル構造を採用することにより、上記各ゲート電極 31、32、33、及び 34 の平行接続や交差接続が容易となる（特開平 3-141670 号公報参照）。

【0006】 また、図 11 に示す第 2 の例では、pMOS 1 及び nMOS 2 のゲート電極としてそれらに共通の電極 35 を用いるとともに、ゲートアレイを構成する各基本セルの間に補助配線 9 を設けるようにしている。各セルの内部、及び各セル間の配線にこのような補助配線 9 を使用するようにすれば、その集積度も自ずと高められるようになる（特開平 6-13589 号公報参照）。なお、同図 11 に示す同第 2 の例のゲートアレイ基本セルにおいて、符号 10 は、それらセル間に併せ設けられたバイアス領域を示している。

【0007】 また、図 13 に示す第 3 の例では、補助配線と云うよりはむしろ、出力信号を基本セルから配線領域に引き出すための配線 11 を基本セルの間に設けることによってその集積度の向上を図っている（特開平 2-58380 号公報参照）。

【0008】

【発明が解決しようとする課題】 これらの例のように、基本セル内、若しくは基本セル間に補助配線を付加することで、一般には、その配線効率が高められ、また集積度も向上されるようにはなる。

【0009】 ただし、こうしたゲートアレイにおいて、その配線効率の更なる向上を図ろうとする場合には、

(A) マクロセル内の配線には第 1 層金属配線のみを用い、それ以外の金属配線はできるだけ使用しない。

(B) 第 1 層以外の金属配線はマクロセル間の配線として自由に使用できるようにする。

といった要求が満足されるかたちで、上記基本セル構造が実現されることが望ましい。こうした基本セル構造は、現在多くのゲートアレイにおいて採用されている 2 層金属配線構造のゲートアレイにとって特に有効である。

【0010】 ところが、このような観点からみると、上記従来のゲートアレイにおける基本セル構造は何れも、これら (A)、(B) の要求を満たしうる構造を有して

いるとは言い難い。

【0011】例えば、図9に示した第1の例においては、等価的に図15に例示する回路となるようその配線を施そうとすると、まず、図10に示される態様で第1層金属配線513及び514を施して、そのゲート電極31とゲート電極33、並びにゲート電極32とゲート電極34を結線する必要がある。

【0012】したがって、この第1層金属配線のみでその他の、すなわち図15に示す配線501、502、或いは配線503、504に相当する配線を施すことは極めて困難であり、この第1の例の基本セル構造によって上記(A)、(B)の要求を満たすことはまず不可能である。

【0013】また、図11に示した第2の例においても、等価的に図15に例示する回路となるようその配線を施そうとすると、図12に示されるように、例えばpMOS1、nMOS2からなるソースまたはドレイン間の接続に第1層金属配線(実線)と第2層金属配線(破線)との2層の金属配線を使用する必要があるが生じる。

【0014】したがって、この第2の例の基本セル構造によっても、上記(A)、(B)の要求を満たすことはできない。なお、同図12において、白抜きのコンタクトホール「□」は、pMOS1、nMOS2等の拡散層、若しくはゲート電極や補助配線を構成するポリシリコン領域と第1層金属配線とを接続するためのコンタクトホールであり、斜線の施されたコンタクトホール「■」は、第1層金属配線と第2層金属配線とを接続するためのコンタクトホールである。また、配線601及び602は、電源配線を示している。

【0015】他方、図13に示した第3の例はそもそも、出力信号を基本セルから配線領域に取り出すことを意図して上記配線(補助配線)11を設けるようにしたものであり、ここでは、マクロセル内の配線効率の向上は何ら考慮されていない。

【0016】したがって、この第3の例において等価的に図15に例示する回路となるようその配線を施そうとしても、例えば図14に示される態様で、第1層金属配線(実線)と第2層金属配線(破線)とが混在することとなり、この場合も、上記(A)、(B)の要求を満たすことはできない。なお、同図14においても、各コンタクトホール「□」及び「■」の意味は先の図12と同様であり、配線601及び602は、電源配線を示している。

【0017】また、この第3の例の基本セル構造の場合、補助配線11の配線長を長く必要とすることから、
・寄生容量が大きくなる。
・基本セルのサイズが大きくなる。

等々の不都合も避け得ない。

【0018】この発明は、こうした実情に鑑みてなされたものであり、第1層金属配線のみでマクロセル内の配

線を行うことができ、しかも装置性能の劣化やセルサイズの増大等を招くことのない基本セル構造を有するゲートアレイを提供することを目的とする。

【0019】

【課題を解決するための手段】こうした目的を達成するため、この発明では、前記ゲートアレイの基本セルに2種類の補助配線を設け、これら2種類の補助配線を通じてマクロセル内の配線が2次的に完結されるようにしている。

【0020】すなわち、請求項1記載の発明において、各ゲート電極間に配設された第1の補助配線、及び各基本セル間に配設された第2の補助配線はそれぞれ、第1及び第2の素子領域に対し、ゲート電極を挟んで各別に隣接されるようになる。このため、第1及び第2の素子領域を互いに平行に接続する場合であれ、或いは交差接続する場合であれ、それら各別の補助配線を通じて、電気的に分離した結線を2次的に、すなわち第1層金属配線のみで行うことが可能となる。

【0021】このように請求項1記載の発明によれば、第1層金属配線のみを用いてマクロセル内の配線を行うことができるとともに、第1層以外の金属配線はマクロセル間の配線として自由に使用することができるようになり、その配線効率は大幅に向上されるようになる。

【0022】また、各基本セルに対する給電線としてそれらゲート電極と直角に敷設される電源配線が施される場合、上記第2の補助配線の配線長を請求項2記載の発明の態様で設定することにより、同第2の補助配線と第1及び第2の素子領域との間の配線可能領域が増大し、その配線効率の更なる向上が図られるようになる。

【0023】しかもこの場合、第2の補助配線の配線長は上記電源配線に接しない長さ制限されるため、同第2の補助配線の配設に伴う寄生容量の増加やセルサイズの増大等も好適に抑制されるようになる。

【0024】また、請求項3記載の発明によるように、各基本セルが上記第2の補助配線の延長線と電源配線との交差する部分にバイアス領域を具える場合には、基本セルとしての実効セルサイズが、このバイアス領域を含むかたちで決定されるようになる。したがってこの場合、上記第2の補助配線の配設に伴うセルサイズの増大は実質的に皆無となる。

【0025】またこの場合、上記バイアス領域自体その面積が小さくとも、電源配線からの確実な給電が得られることとなる。すなわち、同請求項3記載の発明のこうした構成は、バイアス領域の配設に伴うセルサイズの増大を最小限に留める上でも有効である。

【0026】一方、請求項4記載の発明によるように、ゲート電極を、第1及び第2の素子領域において近接し、同第1及び第2の素子領域の相対する中間部において離間するように設けるとともに、上記第1の補助配線を、これらゲート電極が離間する部分、すなわち第1及

び第2の素子領域の中間部に配設する構造とすることもできる。

【0027】基本セルとしてのこのような構造によれば、上記第1の補助配線の配設に伴うセルサイズの増大も好適に回避されるようになるとともに、第1及び第2の素子領域を構成する各トランジスタの寄生抵抗成分や容量による性能劣化も生じ難くなる。

【0028】

【発明の実施の形態】

(第1実施形態) 図1に、この発明にかかるゲートアレ

イの第1の実施形態を示す。
【0029】なお、図1は、この第1の実施形態にかかるゲートアレ

イの基本セルについてその平面構造を模式的に示したものであり、実際には、同構造を有する基本セルが基板上に1次元若しくは2次元配列されている。
【0030】はじめに、同図1を参照して、この第1の実施形態にかかるゲートアレ

イ基本セルの構造について説明する。この第1の実施形態にかかるゲートアレ

イにおいて、その基本セルは、同図1に示されるように、半導体基板(図示せず)上に、それぞれ2個のトランジスタ(FET)が直列に接続されたかたちで形成されるpMOS1とnMOS2とが平行に対向して配列されるとともに、これらpMOS1及びnMOS2に共通のゲート電極3aが上記各トランジスタに対応して形成されている。

【0031】そして、上記ゲート電極3aの間には、ゲート電極3aと同一層からなる第1の補助配線41aが、また各基本セルの間には、これもゲート電極3aと同一層からなる第2の補助配線42aが、それぞれ同図1に示される態様で配設されている。

【0032】なお、上記pMOS1及びnMOS2の各領域はそれぞれp型及びn型不純物の拡散層からなり、上記ゲート電極3a並びに上記第1及び第2の補助配線41a及び42aはポリシリコンからなる。

【0033】同第1の実施形態にかかるゲートアレ

イでは、こうした基本セル構造を通じて前記(A)、(B)の要求、すなわち

(A) マクロセル内の配線には第1層金属配線のみを用い、それ以外の金属配線はできるだけ使用しない。
(B) 第1層以外の金属配線はマクロセル間の配線として自由に使用できるようにする。

といった要求が満たされるようにしている。

【0034】図2は、同第1の実施形態にかかるゲートアレ

イによって先の図15に示した回路をレイアウトする場合の配線例を示したものであり、次に、この図2を併せ参照して、同第1の実施形態のゲートアレ

イによる配線態様を更に詳述する。

【0035】同第1の実施形態にかかるゲートアレ

イによって、先の図15に示した回路をレイアウトする場合、例えば同図2に示すように、

・上記第1の補助配線41aを介してトランジスタ101とトランジスタ202とを金属配線501によって接続する。

・上記第2の補助配線42aを介してトランジスタ102とトランジスタ201とを金属配線502によって接続する。

・これらの配線の間に、各トランジスタのゲート信号線である金属配線503及び504を通す。

といった態様での配線が可能となる。

【0036】そして、これら金属配線501、502、503、及び504は、電気的には何れも独立したかたちで2次元敷設されるものであることから、その全てに第1層金属配線を使用することができるようになる。

【0037】なお、この図2においても、先の図10、図12、及び図14の場合と同様、白抜きのコンタクトホール「□」は、pMOS1、nMOS2等の拡散層、若しくはゲート電極3aや補助配線41a及び42aを構成するポリシリコン領域と第1層金属配線とを接続するためのコンタクトホールを示している。

【0038】このように、同第1の実施形態にかかるゲートアレ

イによれば、第1層金属配線のみを用いてマクロセル内の配線を行うことができるとともに、第1層以外の金属配線はマクロセル間の配線として自由に使用することができるようになる。したがって、その配線効率も大幅に向上されることとなる。

【0039】なお、図2に示した配線例では、図15に例示した回路をレイアウトすべく、pMOS1及びnMOS2を構成する各トランジスタ101、102、201、及び202を上記補助配線41a及び42aを介していわゆる交差接続する場合について示した。しかし、同トランジスタ101、102、201、及び202をそれら補助配線41a及び42aを介して平行接続する場合であれ、その配線の全てに第1層金属配線を使用することができるとはかわりはない。

【0040】(第2実施形態) 図3に、この発明にかかるゲートアレ

イの第2の実施形態を示す。なお、図3も、この第2の実施形態にかかるゲートアレ

イの基本セルについてその平面構造を模式的に示したものであり、実際には、同構造を有する基本セルが基板上に1次元若しくは2次元配列されている。

【0041】また、この第2の実施形態にかかるゲートアレ

イ基本セルも、その基本構造は先の第1の実施形態にかかるゲートアレ

イ基本セルと同じであり、ここでは主に第1の実施形態にかかるゲートアレ

イ基本セルと相違する部分についてその構造並びに配線例を説明する。

【0042】さて、この第2の実施形態にかかるゲートアレ

イの基本セルにおいて、各基本セル間に配設される第2の補助配線42bは、その配線長が次の制限に基づいて設定されている。

【0043】すなわち、該第2の補助配線42bにおい

て、その配線長の下限は、同図3に示されるように、pMOS1及びnMOS2の各対向する辺からゲート電極3aと直角に引き出されるとする金属配線に交差する長さに設定されている。

【0044】これにより、第2の補助配線42bとpMOS1及びnMOS2との間の配線可能領域が増大し、例えばこの第2の実施形態にかかるゲートアレイによって図15に示した回路をレイアウトする場合でも、図4に示されるように、金属配線502'は、より短い配線で済むようになる。そしてこれは、上記pMOS1及びnMOS2を構成するトランジスタ101、201、或いは102、202をこの第2の補助配線42bを介して平行接続するような場合でも同様である。

【0045】少なくとも、同第2の補助配線42bについてその配線長の下限をこのように設定することにより、配線の自由度は増し、その配線効率の更なる向上が図られるようになる。

【0046】一方、同第2の補助配線42bにおいて、その配線長の上限は、各基本セルに対する給電線として図3に示される如くゲート電極3aと直角に敷設される電源配線601及び602に接しない長さに設定されている。

【0047】第2の補助配線42bとしてのこうした上限長の制限により、同補助配線42bの配設に伴う寄生容量の増加やセルサイズの増大等も好適に抑制されるようになる。

【0048】（第3実施形態）図5に、この発明にかかるゲートアレイの第3の実施形態を示す。なお、図5も、この第3の実施形態にかかるゲートアレイの基本セルについてその平面構造を模式的に示したものであり、実際には、同構造を有する基本セルが基板上に1次元若しくは2次元配列されている。

【0049】また、この第3の実施形態にかかるゲートアレイ基本セルも、その基本構造は先の第1或いは第2の実施形態にかかるゲートアレイ基本セルと同じであり、ここでも主に、これら第1或いは第2の実施形態にかかるゲートアレイ基本セルと相違する部分についてその構造並びに配線例を説明する。

【0050】さて、この第3の実施形態にかかるゲートアレイの基本セルでは、その電源配線601及び602が第1層金属配線として敷設されるとするとき、同図5に示される如く、第2の補助配線42bの延長線とそれら電源配線601及び602とが交差する部分に、当該基板電位を固定するためのバイアス領域701及び702を具えるようにしている。

【0051】各基本セルがこのようなバイアス領域701及び702を具えることにより、それら基本セルとしての実効セルサイズは、該バイアス領域701及び702を含むかたちで決定されるようになる。そしてこのため、上記第2の補助配線42bの配設に伴うセルサイズ

の増大は実質的に皆無となる。

【0052】またこの場合、上記バイアス領域701及び702自体その面積が小さくとも、図6にその配線例を示すように、電源配線601及び602からは確実な給電が得られるようになる。すなわち、同第3の実施形態にかかるゲートアレイのこうした基本セル構造は、バイアス領域701及び702の配設に伴うセルサイズの増大を最小限に留める上でも極めて有効である。

【0053】（第4実施形態）図7に、この発明にかかるゲートアレイの第4の実施形態を示す。なお、図7も、この第4の実施形態にかかるゲートアレイの基本セルについてその平面構造を模式的に示したものであり、実際には、同構造を有する基本セルが基板上に1次元若しくは2次元配列されている。

【0054】また、この第4の実施形態にかかるゲートアレイ基本セルも、その基本構造は先の第1或いは第2の実施形態にかかるゲートアレイ基本セルと同じであり、ここでも主に、これら第1或いは第2の実施形態にかかるゲートアレイ基本セルと相違する部分についてその構造を説明する。

【0055】プロセスルールによっては、ゲート電極の間隔が狭いために、前述した第1の補助配線を配設することができない場合がある。そしてこのとき、同第1の補助配線を配設するためのスペースを確保すべくそれらゲート電極の間隔を広げると、トランジスタ(FET)のドレイン領域(或いはソース領域)の寄生抵抗成分やドレイン容量(或いはソース容量)が増加して、素子若しくは装置性能の劣化を招くことになる。

【0056】そこで、この第4の実施形態にかかるゲートアレイの基本セルでは、このような事態を避けるべく、同図7に示されるように、ゲート電極3bを、pMOS1及びnMOS2の領域では近接する。pMOS1及びnMOS2の相対する中間部では離間する。といった非直線形状とし、該ゲート電極3bが離間するpMOS1及びnMOS2の中間部に、第1の補助配線41bを配設するようにしている。

【0057】ゲートアレイ基本セルとしてのこのような構造によれば、上記第1の補助配線41bの配設に伴うセルサイズの増大も好適に回避されるようになるとともに、pMOS1及びnMOS2を構成する各トランジスタ(FET)の上記寄生抵抗成分や容量による性能劣化も生じ難くなる。

【0058】なお、この第4の実施形態にかかるゲートアレイによっても、

(1) 第1層金属配線のみを用いてマクロセル内の配線を行うことができるとともに、第1層以外の金属配線はマクロセル間の配線として自由に使用することができるようになり、その配線効率が大幅に向上される。

(2) 第2の補助配線42bについての配線長の上限により、配線の自由度が増し、その配線効率の更なる向上

が図られるとともに、同補助配線 4 2 b の配設に伴う寄生容量の増加やセルサイズの増大等も好適に抑制される。

といった、先の第 1 或いは第 2 の実施形態のゲートアレイによる効果が併せ奏されるようになることは云うまでもない。

【0059】（第 5 実施形態）図 8 に、この発明にかかるゲートアレイの第 5 の実施形態を示す。なお、図 8 も、この第 5 の実施形態にかかるゲートアレイの基本セルについてその平面構造を模式的に示したものであり、10 実際には、同構造を有する基本セルが基板上に 1 次元若しくは 2 次元配列されている。

【0060】また、この第 5 の実施形態にかかるゲートアレイ基本セルは、上記第 4 の実施形態にかかるゲートアレイの基本セル構造を先の第 3 の実施形態にかかるゲートアレイの基本セル構造に適用したものである。

【0061】したがって、同第 5 の実施形態にかかるゲートアレイとしての基本セル構造、並びに該基本セル構造に基づく作用、効果も、それら第 4 及び第 3 の実施形態にかかるゲートアレイの基本セル構造、並びにその作用、効果に準じたものとなっている。20

【0062】すなわち、この第 5 の実施形態にかかるゲートアレイによれば、その基本セルの同図 8 に示される（a）ゲート電極 3 b を、pMOS 1 及び nMOS 2 の領域では近接し pMOS 1 及び nMOS 2 の相対する中間部では離間する非直線形状とし、該ゲート電極 3 b が離間する pMOS 1 及び nMOS 2 の中間部に、第 1 の補助配線 4 1 b を配設する。

（b）電源配線 6 0 1 及び 6 0 2 が第 1 層金属配線として敷設されるとするとき、第 2 の補助配線 4 2 b の延長線とそれら電源配線 6 0 1 及び 6 0 2 とが交差する部分に前記バイアス領域 7 0 1 及び 7 0 2 を設ける。30

（c）第 2 の補助配線 4 2 b は、pMOS 1 及び nMOS 2 の各対向する辺からゲート電極 3 b と直角に引き出されるとする金属配線に交差する長さをその配線長の下限とし、電源配線 6 0 1 及び 6 0 2 に接しない長さをその配線長の上限とする。といった構造に基づき、

（1）第 1 層金属配線のみを用いてマクロセル内の配線を行うことができるとともに、第 1 層以外の金属配線はマクロセル間の配線として自由に使用することができるようになり、その配線効率が大幅に向上される。40

（2）第 2 の補助配線 4 2 b についての配線長の制限により、配線の自由度が増し、その配線効率の更なる向上が図られるとともに、同補助配線 4 2 b の配設に伴う寄生容量の増加やセルサイズの増大等も好適に抑制される。

（3）バイアス領域 7 0 1 及び 7 0 2 の配設により、上記第 2 の補助配線 4 2 b の配設に伴うセルサイズの増大は実質的に皆無となる。また、それらバイアス領域 7 0 1 及び 7 0 2 の配設に伴うセルサイズの増大も最小限に 50

留められるようになる。

（4）上記第 1 の補助配線 4 1 b の配設に伴うセルサイズの増大も好適に回避されるようになるとともに、pMOS 1 及び nMOS 2 を構成する各トランジスタ（FET）の上記寄生抵抗成分や容量による性能劣化も生じ難くなる。

といった、多くの優れた効果が奏されるようになる。

【0063】なお、以上の第 1 ～ 第 5 の実施形態では、半導体基板上に平行に対向して配列される素子領域がそれぞれ pMOS 1 と nMOS 2 とからなるとしたが、それら導電型は互いに逆であってもよい。

【0064】また、基本セルとしてそれら素子領域、すなわち pMOS 1 及び nMOS 2 を構成するトランジスタ（FET）の数も任意である。また、同第 1 ～ 第 5 の実施形態では何れも、2 層金属配線構造のゲートアレイを想定して、その配線効率を高める上で特に有効な構造である・第 1 層金属配線のみを用いてマクロセル内の配線を行うことができる。といった基本セル構造を示したが、こうした基本セル構造が 2 層金属配線構造のゲートアレイに限らず、3 層以上の金属配線を使用するゲートアレイにとってもその配線効率を高める上で有効であることは云うまでもない。もっとも、ゲートアレイとしては、その信頼性などとの兼ね合いから、こうした金属配線は少なく済むに越したことはない。

【図面の簡単な説明】

【図 1】この発明にかかるゲートアレイの第 1 の実施形態を示す平面図。

【図 2】同第 1 の実施形態のマクロセル内配線例を示す平面図。

【図 3】この発明にかかるゲートアレイの第 2 の実施形態を示す平面図。

【図 4】同第 2 の実施形態のマクロセル内配線例を示す平面図。

【図 5】この発明にかかるゲートアレイの第 3 の実施形態を示す平面図。

【図 6】同第 3 の実施形態のマクロセル内配線例を示す平面図。

【図 7】この発明にかかるゲートアレイの第 4 の実施形態を示す平面図。

【図 8】この発明にかかるゲートアレイの第 5 の実施形態を示す平面図。

【図 9】従来のゲートアレイ基本セル構造の第 1 の例を示す平面図。

【図 10】同第 1 の例のマクロセル内配線例を示す平面図。

【図 11】従来のゲートアレイ基本セル構造の第 2 の例を示す平面図。

【図 12】同第 2 の例のマクロセル内配線例を示す平面図。

【図 13】従来のゲートアレイ基本セル構造の第 3 の例

11

を示す平面図。

【図14】同第3の例のマクロセル内配線例を示す平面図。

【図15】マクロセル内配線の一例についてその等価回路を示す回路図。

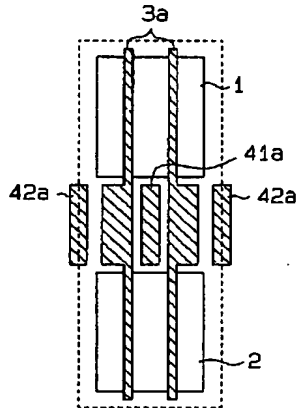
【符号の説明】

1…pMOS (pチャネルMOSトランジスタ)、2…

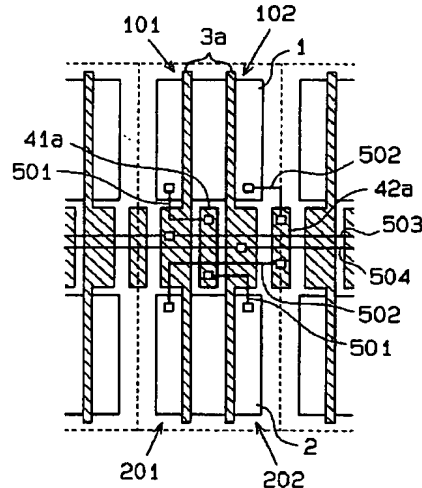
12

nMOS (nチャネルMOSトランジスタ)、3a、3b、31、32、33、34、35、36…ゲート電極、41a、41b、42a、42b…補助配線、101、102、201、202…トランジスタ (FET)、501、502、503、504、513、514…金属配線、601、602…電源配線、701、702、10…バイアス領域、8、9、11…補助配線。

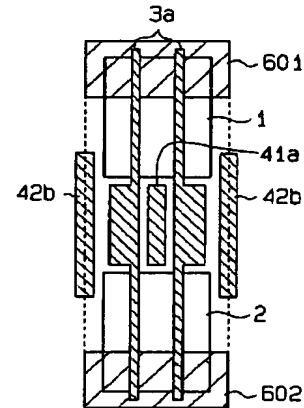
【図1】



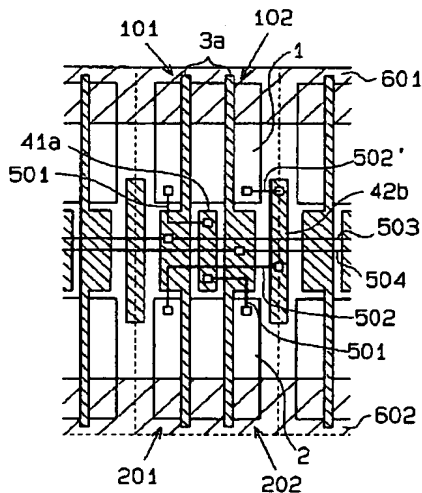
【図2】



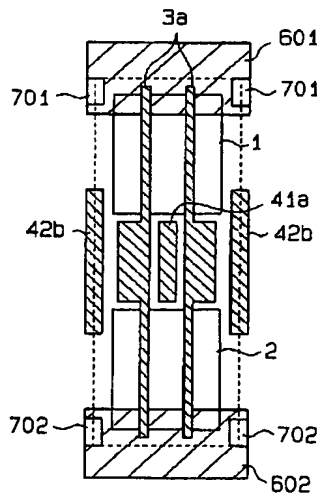
【図3】



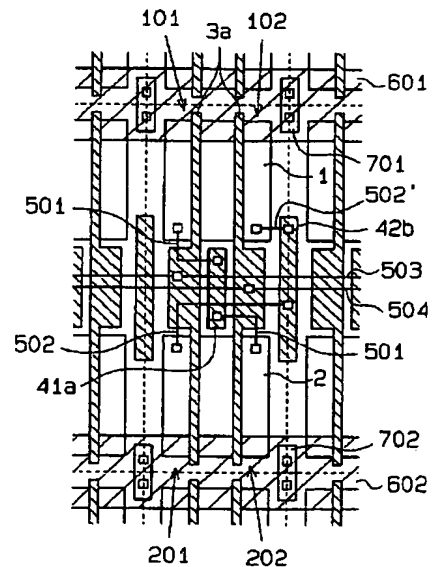
【図4】



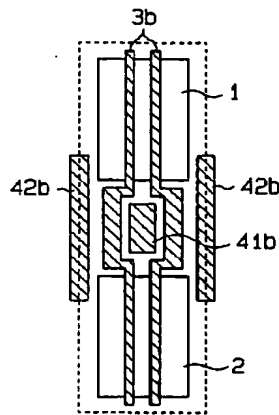
【図5】



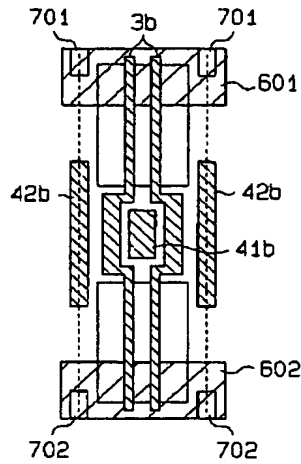
【図6】



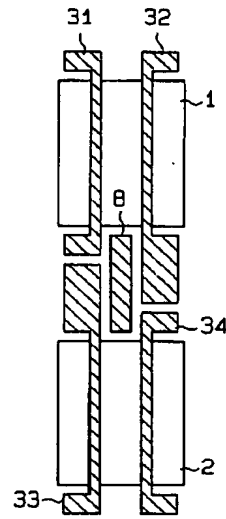
【図 7】



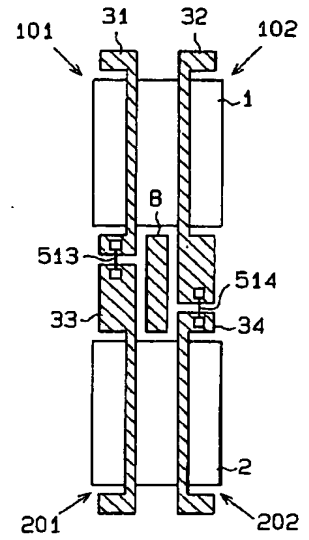
【図 8】



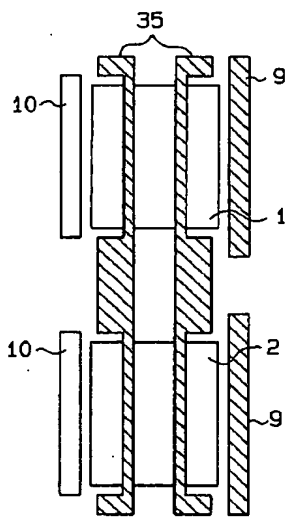
【図 9】



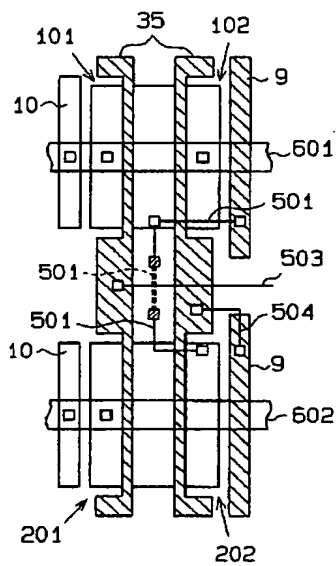
【図 10】



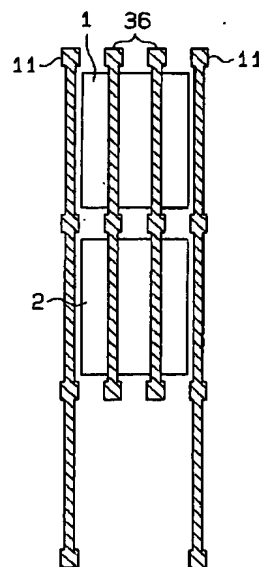
【図 11】



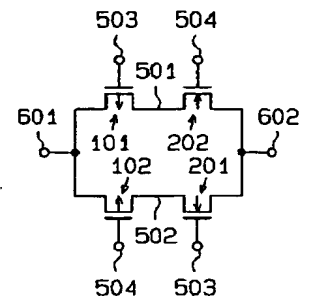
【図 12】



【図 13】



【図 15】



【図14】

